



18 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Offenlegungsschrift
10 DE 195 21 327 A 1

51 Int. Cl.⁶:
H03 M 13/12

21 Aktenzeichen: 195 21 327.0
22 Anmeldetag: 12. 6. 95
43 Offenlegungstag: 19. 12. 96

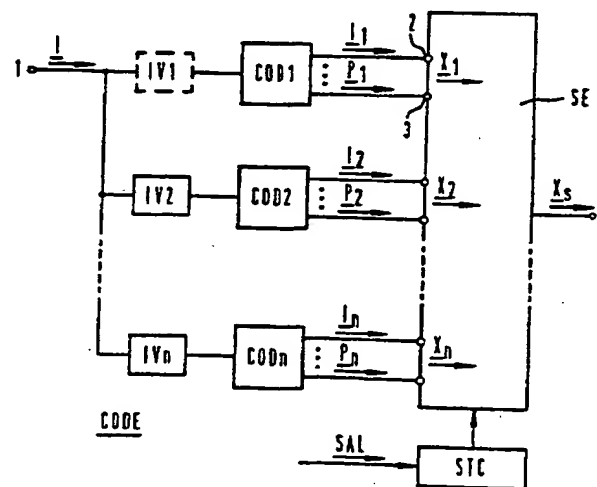
DE 195 21 327 A 1

71 Anmelder:
Siemens AG, 80333 München, DE

72 Erfinder:
Hagenauer, Joachim, Prof. Dr., 82229 Seefeld, DE;
Burkert, Frank, 80798 München, DE; Werner, Martin,
Dr., 91088 Bubenreuth, DE

54 Verfahren und Codiereinrichtung zur gesicherten Übertragung von Information mittels Mehrkomponenten-Codierung

57 Die Information wird durch einen Mehrkomponenten-Code (Turbo-Code) gesichert. Aus den codierten Codefolgen (X_1, X_2, \dots, X_n) wird entsprechend wechselnder Anforderungen eine unterschiedliche Anzahl von Codesymbolen ausgewählt und übertragen.



DE 195 21 327 A 1

Die Erfindung betrifft ein Verfahren zur gesicherten Übertragung von Information nach dem Oberbegriff des Patentanspruchs 1 und eine hierzu geeignete Codiereinrichtung.

Bei der Übertragung von Information über gestörte Datenkanäle treten häufig Störungen auf. Diese Störungen können bei binärer Übertragung einzelne Bits oder Gruppen von Bits invertieren. Um diese Übertragungsfehler empfangsseitig erkennen und gegebenenfalls korrigieren zu können, werden sendeseitig zu den Informationsbits noch Kontrollbits hinzugefügt und übertragen. Eine Übersicht über die verbreitetsten Verfahren zur Kanalcodierung ist in J. G. Proakis "Digital Communications", McGraw-Hill International Editions, 1989 beschrieben.

C. Berrou stellte 1993 ein neues leistungsfähiges, auf der parallelen Verkettung von mindestens zwei rekursiven systematischen Faltungscodes und ihrer iterativen Decodierung basierendes Verfahren zur Kanalcodierung, die "Turbo-Codierung", vor.

Dieses Codierungsverfahren ist in den folgenden Literaturstellen ausführlich beschrieben:

— C. Berrou, "Near Shannon limit error-correcting and decoding: Turbo-Codes (1)", Proc. ICC'93, May 1993;

— Demande de brevet européen, N. de publication: 0 511 141 A1, Inventeur: C. Berrou, "Procédé de codage correcteur d'erreurs à moins deux codages convolutifs systématiques en parallèle, procédé de décodage itératif, module de décodage correspondants"

— J. Hagenauer et al, "Iterative ("Turbo") decoding of systematic convolutional codes with MAP and SOVA algorithms", ITG Fachtagung "Codierung", München, Okt. 1994

— J. Hagenauer, L. Papke, "Decoding "Turbo"-Codes with the Soft Output Viterbi Algorithm (SOVA)", 1994 International Symposium on information theory, Trondheim, 1994.

Bei einem Mehrkomponenten-Code, dem sogenannten Turbo-Code, werden mehrere verkettete Komponenten-Codes parallel generiert. Die Coderate, das Verhältnis der Informationsbits zu der Gesamtheit von Informationsbits und Kontrollbits, ergibt sich aus den Coderaten der verwendeten Komponenten-Codes und einer Selektionsvorschrift, durch die aus den Codesymbolen der generierten Codefolgen eine Auswahl erfolgt. Auf diese Weise kann in einem weiten Bereich die Coderate festgelegt werden, mit der allerdings die Fähigkeit zur Fehlerkorrektur bzw. Fehlererkennung eng verknüpft ist.

In der europäischen Patentanmeldung mit der Publikationsnummer 0 511 141 werden gemäß einer fest vorgegebenen Selektionsvorschrift (Punktierungsvorschrift) bestimmte Codesymbole aus den erzeugten Codefolgen ausgewählt. Diese Vorschrift muß natürlich auch dem Decoder bekannt sein.

Häufig ist es aus den unterschiedlichsten Gründen, beispielsweise der Qualität des Übertragungskanals oder der erforderlichen Datensicherung, wünschenswert, unterschiedliche Coderaten zu realisieren.

Aus der Offenlegungsschrift DE 34 43 041 A1 ist ein Verfahren zur Verbesserung der Übertragungsqualität von Bildsignalen bekannt, das bei Störungen die Anzahl

der Informationsbits reduziert und an deren Stelle Kontrollbits eines fehlerkorrigierenden Codes überträgt. Durch einen Rückkanal sind Send- und Empfangseinrichtung über den jeweiligen Übertragungsmodus informiert. Dieses Verfahren ist jedoch bei der Übertragung von Daten und auch bei bereits reduzierten Sprach- oder Bildsignalen nicht anwendbar, da sämtliche Informationsbits benötigt werden. Verschiedene Coderaten erfordern hier jeweils eine eigene Codier- und Decodiereinrichtung.

Das Problem, zwischen unterschiedlichen Datensicherungsstufen oder Coderaten umschalten zu können, wird durch das im Anspruch 1 angegebene Verfahren gelöst. Eine geeignete Codiereinrichtung und Decodiereinrichtung sind in unabhängigen Ansprüchen angegeben.

Vorteilhafte Weiterbildungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Der besondere Vorteil dieses Verfahrens liegt in einer frei wählbaren Coderate mit einem der Coderate zugeordneten anderen Codierverfahren meist überlegenen Fehlerschutz entsprechen den wechselnden Anforderungen der unterschiedlichen Dienste ohne Änderungen bei der Coder- und Decodiereinrichtung durchführen zu müssen.

Das Verfahren ist auch vorteilhaft anwendbar, wenn wichtige Informationsabschnitte oder ausgewählte Bits mittels einer wählbaren "dynamische" Selektionsvorschrift durch Erhöhung der zugeordneten Kontrollbits einen besseren Fehlerschutz erhalten als andere Informationsabschnitte bzw. Bits geringerer Bedeutung.

Es ist vorteilhaft, wenn die Selektionsvorschrift in einem Speicher eingeschrieben wird. Besonders bei einem löschbaren Speicher (EEPROM) oder bei einem Schreib-Lese-Speicher (RAM) wird eine besonders flexible Codierung möglich.

Besonders vorteilhaft kann ein selektiv verbesserter Fehlerschutz erreicht werden, indem einigen Codern als Selektoren wirkende Filter vorgeschaltet werden, die jeweils nur die wichtigeren Informationsbits oder Informationsabschnitte an die Coder durchschalten.

Die Erfindung wird anhand von Figuren näher erläutert.

Es zeigen:

Fig. 1 einen Coder für einen rekursiven systematischen Code,

Fig. 2 ein Prinzipschaltbild einer erfindungsgemäßen Codiereinrichtung und

Fig. 3 eine besonders vorteilhafte Codieranordnung und

Fig. 4 eine zugehörige Decodiereinrichtung.

In Fig. 1 ist ein Coder für einen rekursiven systematischen Code mit zwei binären Speicherstufen K1, K2 sowie zwei Modulo-2-Addierern H1 und H2 dargestellt. Über einen Dateneingang 1 gelangt jeweils eine Informationssequenz $I = I_1, I_2, \dots, I_L$ bitweise zum Informationsausgang 2 und gleichzeitig zu einem Eingang des ersten Modulo-2-Addierers H1, dem außerdem die in den Speicherstufen K1, K2, dem Coder-Gedächtnis, vorliegenden Bits zugeführt werden. Das Ergebnis der Modulo-2-Addition wird dem Dateneingang der ersten Speicherstufe K1 zugeführt. Durch eine weitere Modulo-2-Addition der Modulo-2-Summe am Ausgang des ersten Modulo-2-Addierers H1 und der am Ausgang der zweiten Speicherstufe K2 anliegenden Information wird eine Kontrollsequenz P mit Kontrollbits P generiert und am Kontrollausgang 3 abgegeben. Die an den Ausgängen 2 und 3 anliegenden Codesymbole (Bits) werden in

der Regel bitweise verschachtelt ausgesendet. Der Coder arbeitet in bekannter Weise mit einem Bittaktsignal, das in diesem Prinzipschaltbild nicht dargestellt ist.

In Fig. 2 ist eine Codiereinrichtung zur Erzeugung eines "Turbo-Codes" als Prinzipschaltbild dargestellt. Sie enthält mehrere Komponenten-Coder COD1 bis CODn, denen über Interleaver IV1 bis IVn eine Informationssequenz I zugeführt wird. Die Interleaver haben die Aufgabe, die Informationsbits in einer anderen zeitlichen Reihenfolge auszugeben. Dadurch soll erreicht werden, daß von Störungen im Übertragungskanal unterschiedliche Bits betroffen werden. Es können gleiche oder auch unterschiedliche Coder verwendet werden, die allerdings in der Praxis meist mehr als zwei Speicherstufen aufweisen. Die dem Coder 1 zugeführten Informationssequenz I wird unverändert am Informationsausgang 2 abgegeben; die erzeugte Kontrollsequenz P₁ wird am Kontrollausgang 3 abgegeben.

Weist der Code eine Datenrate $< 1/2$ auf, dann sind mehrere Kontrollausgänge vorhanden.

In derselben Weise werden von den weiteren Komponenten-Codern COD2 bis CODn aus verwürfelten Informationssequenzen I₂, I₃, ... Codefolgen X₂ bis X_n erzeugt. Sämtliche Codefolgen werden einer Selektionseinrichtung SE zugeführt, die Codesymbole dieser Codefolgen auswählt (in Sonderfällen auch alle Codesymbole).

Der Selektionsalgorithmus SAL wird — unter Berücksichtigung der erzeugten Komponenten-Codes — beispielsweise von der Art des genutzten Dienstes, der Rahmen- oder Blockstruktur, der verfügbaren Datenrate, der Qualität des Übertragungskanals — über die eine der Codiereinrichtung zugeordnete Steuerung über einen Rückkanal informiert wird — und von den Anforderungen an die Datensicherheit usw. bestimmt. Auch können Daten entsprechend ihrer Bedeutung oder spezielle Werte binär codierter Sprachsignale entsprechend ihrer Bedeutung für die Verständlichkeit mit einem unterschiedlichen Fehlerschutz versehen werden.

Die Änderung der Selektionsvorschriften kann sowohl in festen Zyklen als auch beispielsweise bei einer sich verschlechternden Übertragungsqualität während der Verbindung erfolgen. Ebenso können für bestimmte Phasen einer Verbindung, beispielsweise während des Verbindungsaufbaus, andere Selektionsvorschriften angewendet werden.

Die Selektionseinrichtung, die einem Multiplexers entspricht, wird hierbei von der Steuerung STC gesteuert. Diese verfügt über alle Kriterien zur "dynamischen" Steuerung der Selektion. Ausgegeben wird in der Regel eine serielle Codefolge X_s.

Der Selektionsalgorithmus SAL wird in der Regel in einem Speicher eingegeben. Entsprechend der erforderlichen Flexibilität, kann dies ein RAM oder ROM sein. In einigen Fällen kann auch eine hardwaremäßige Verdrahtung als "Speicher" Verwendung finden.

In Fig. 3 ist eine modifizierte Codiereinrichtung CODM dargestellt, die zusätzlich zu den beschriebenen Maßnahmen eine Auswahl der wichtigeren Bits der zu codierenden Informationssequenz I durchführt und diese Bits weiteren Codern COD3, ..., CODn zuführt. Zur Auswahl dieser Bits oder Bitfolgen ist mindestens einem Interleaver IV3, ..., IVn ein Filter FI vorgeschaltet. Der Auswahlalgorithmus wird ebenso wie der Selektionsalgorithmus in der Steuerung STC gespeichert. Die ausgewählten Bits können beispielsweise sämtliche Bits von wichtigen Daten sein oder auch die höchstwertigen Bits von PCM-codierten Sprachsignalen. Durch diese ange-

paßte Codierung kann, bei einem geringeren Fehlerschutz der weniger wichtigen Bits die Übertragungsrate der ausgegebenen Codefolge X_s gesenkt werden.

Als Komponenten-Codes sind, insbesondere für die mit einem vorgeschalteten Filter versehenen Coder, auch Single-Parity-Check-Codes besonders geeignet.

In Fig. 4 ist eine modifizierte Decodiereinrichtung CODE schematisch dargestellt, die zur Decodierung dieser Codefolge X_s geeignet ist. Sie enthält einen Demultiplexer DEM, dem die digitalisierten Abtastwerte der empfangenen seriellen Codefolge Y_s, die im störungsfreien Fall mit der gesendeten Codefolge X_s übereinstimmt, zugeführt wird und sie in Codefolgen Y₁ bis Y_n aufteilt. Sie besitzt weiter invers arbeitende Interleaver IV1* bis IV2*, Filter FI3* bis FI n*, deren Selektionsvorschrift exakt mit der Selektionsvorschrift der endcodierseitig verwendeten Filter übereinstimmt, und eine den Komponenten-Codern entsprechende Anzahl von Komponentendecoder DEC1 bis DECn, denen zu den Interleavern korrespondierende Deinterleaver DI1 bis DI n nachgeschaltet sind. Den Decodern werden über Summierschaltungen SU1 bis SUn die digitalisierten Abtastwerte und bei den folgenden Iterationsschritten die Extrinsic-Komponenten L₁ bis L_n zugeführt. Über die Summierer kann den Decodern auch eine "a priori-Information" PR zugeführt werden.

Bei alternativen Darstellungen werden dem ersten Summierer der ersten Decodierstufe die Abtastwerte zugeführt werden. Auf die Interleaver kann bei einem Coder und dem zugehörigen Decoder häufig verzichtet werden. Der technische Aufbau der Codier- und Decodiereinrichtung ist dem Fachmann bekannt und in der Literatur ausreichend beschrieben. Auf die Darstellung, von Laufzeitgliedern usw. wurde daher in der Prinzipdarstellung verzichtet.

Jeder Komponentendecoder verwendet folglich entsprechend dem bekannten Schema von C. Berrou nur die Kanalinformation Y über die Codesymbole der empfangenen seriellen Codefolge Y_s, die Teil des zu decodierenden Komponenten-Codes sind. Ebenso verwendet jeder Komponentendecoder auch nur die "a priori Information", über Eigenschaften der Codefolge, der Informationsbits eben dieser Teilsequenz.

Die Komponentendecoder liefern entsprechend jeweils nur eine dem entsprechenden Teil der Informationssequenz zugeordnete aktuelle Extrinsic-Information L_{1a} bis L_{na} Extrinsic-Information, die an die folgenden Decoder geführt ist und deren Entscheidung verbessert.

Jeder zum jeweiligen mit einem Filter FI versehenen Interleaver korrespondierende Deinterleaver DI3 und DI n wird um ein Einfüge-Modul IN3 bis IN n erweitert, das in die Sequenz der ermittelten Extrinsic-Informationen an den Positionen der Informationsbits, die aufgrund der Selektion durch das Filter keine Elemente der Teilsequenz sind, Nullen einfügt.

Selbstverständlich müssen dem Decoder sowohl die Selektionsvorschriften der Filter als auch die Verwürfelungsvorschrift der Interleaver bekannt sein. Eine dem Decoder zugeordnete Steuerung STD sorgt für eine entsprechende Verarbeitung der empfangenen Information.

Die Decodierung erfolgt in mehreren "Zyklen", bei denen die gewonnene Extrinsic-Informationen den Summierereingängen und die Kanalinformation Y den Decodern erneut zugeführt wird. Die Entscheidung, welcher (in der Regel) binäre Wert empfangen wurde, erfolgt aufgrund der Extrinsic-Informationen des letz-

ten Decoders der Decoderkette.

Wurden die Informationsbits verwürfelt, so muß die Verwürfelung selbstverständlich — hier in einer Ausgabestufe rückgängig gemacht werden.

Die Decodiereinrichtung läßt sich in an sich bekannter Weise im Feed-back- oder Pipeline-Struktur realisieren.

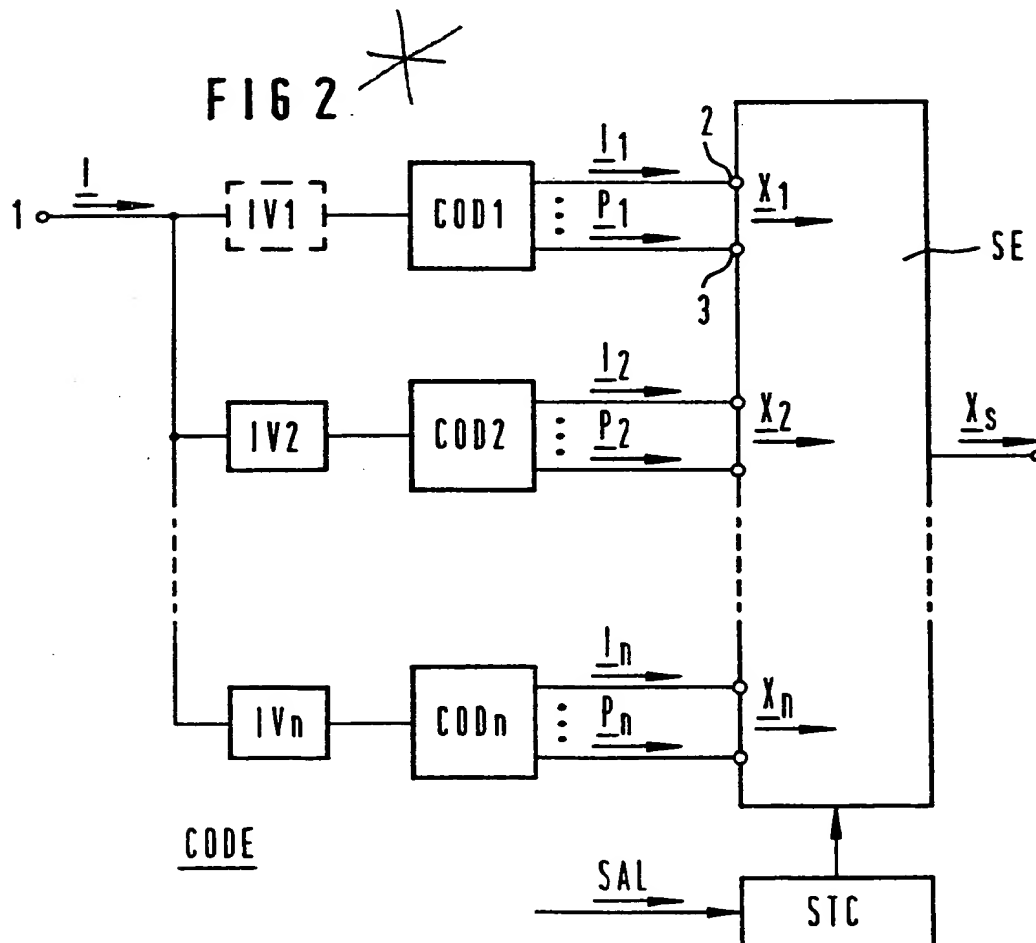
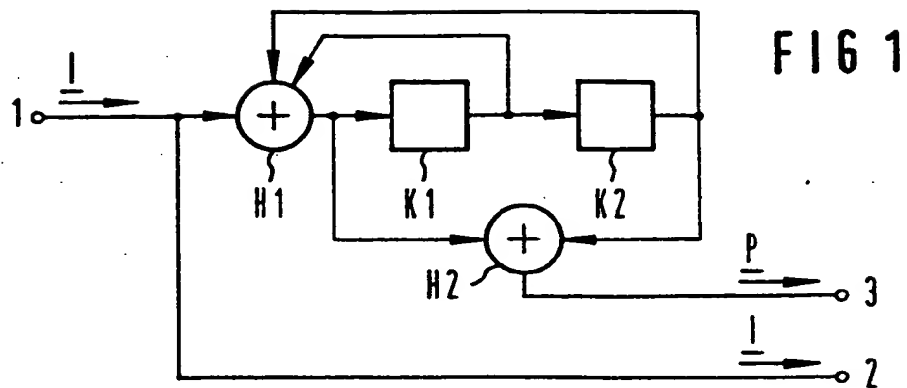
Patentansprüche

1. Verfahren zur gesicherten Übertragung von Information mittels einer mehrere rekursive systematische Faltungscodes verwendende Mehrkomponenten-Codierung, dadurch gekennzeichnet, daß aus den codierten Codefolgen (X_1, X_2, \dots, X_n) entsprechend wechselnder Anforderungen eine unterschiedliche Anzahl von Codesymbolen ausgewählt und übertragen wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß aufgrund unterschiedlicher Dienste, der zur Verfügung stehenden Übertragungskanäle, von Blockstrukturen und der Übertragungsqualität der Selektionsalgorithmus festgelegt wird.
3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Selektion der übertragenen Codesymbole entsprechend von Selektionsalgorithmen erfolgt, die sowohl sende- als auch empfangsseitig in jeweils einem Speicher vorliegen.
4. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Selektionsvorschriften durch ein Signalisierungsprotokoll zwischen einer Codiereinrichtung (CODE) und einer Decodiereinrichtung (DECE) festgelegt werden.
5. Verfahren nach einem der Ansprüche 2 oder 3, dadurch gekennzeichnet, daß der Selektionsalgorithmus jeweils in einen Schreib-Lese-Speicher (RAM) eingeschrieben wird.
6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß Informationssequenzen (I) übertragen werden.
7. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß Teilsequenzen der Informationssequenz (I) oder spezielle Informationsbits durch gezielte Auswahl einer überdurchschnittlichen Anzahl von zugeordneten Codesymbolen mit einem größeren Fehlerschutz versehen werden.
8. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß bei einer Vorauswahl der wichtigen zu codierenden Informationsbits oder Bitfolgen getroffen wird, die einen überdurchschnittlichen Fehlerschutz erhalten sollen, und daß diese weiteren Komponenten-Codern (COD3, ..., CODn) zugeführt wird.
9. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß diese weiteren Komponenten-Coder (COD3, ..., CODn) einen Single-Parity-Check-Code erzeugen.
10. Codiereinrichtung CODE zur gesicherten Übertragung von Information mittels einer mehrere rekursive systematische Faltungscodes verwendende Mehrkomponenten-Codierung mit mehreren Mehrkomponenten-Codern (COD1, COD2), dadurch gekennzeichnet, daß eine Selektionsschaltung (SE) vorgesehen ist, der die erzeugten Codefolgen (X_1, X_2, \dots, X_n) zugeführt werden, und daß eine Steuerung (STC) vorgesehen ist, die entsprechend wechselnder Anforderungen eine unter-

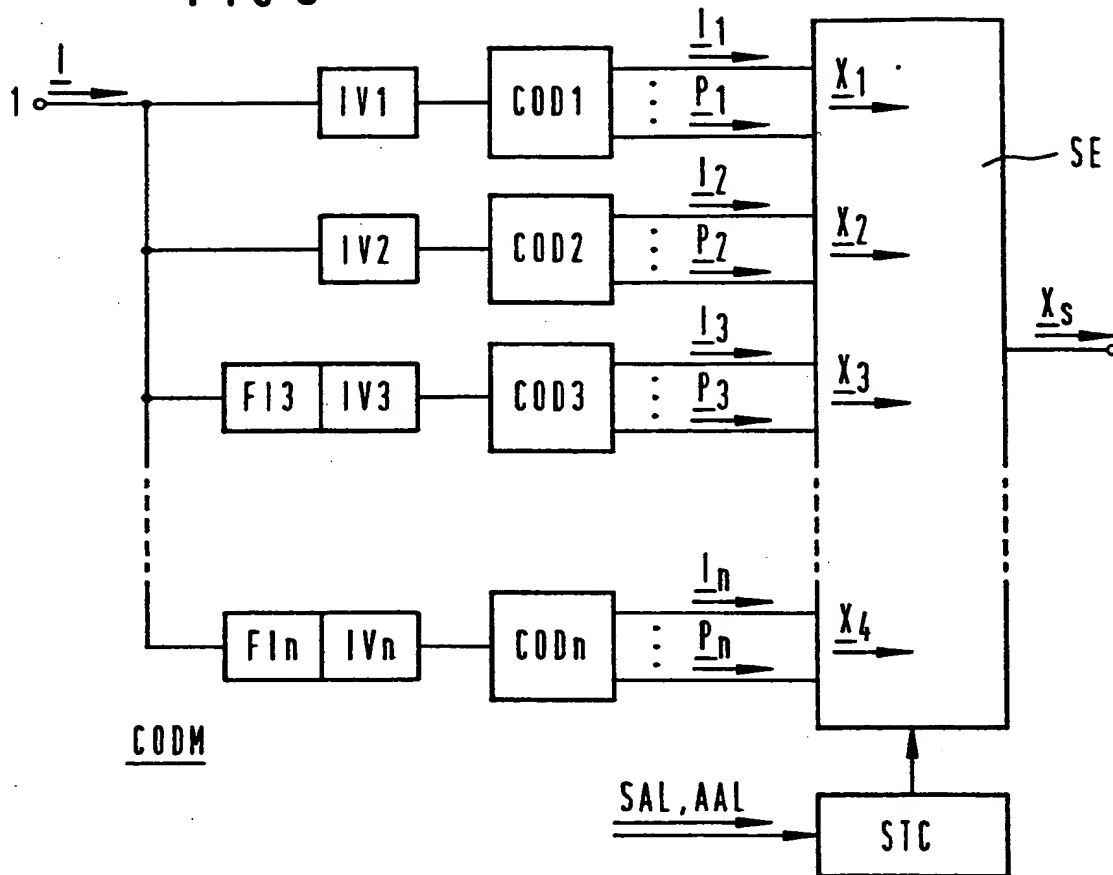
schiedliche Anzahl von Codesymbolen auswählt.

11. Decodiereinrichtung (DECE) zur Decodierung eines mehrere rekursive systematische Faltungscodes verwendende Mehrkomponenten-Codes mit mehreren Decodern (DEC1, DEC2), dadurch gekennzeichnet, daß mehrere Codern zugeordnete Decoder (DEC1 bis DECn) vorgesehen sind, und daß eine Steuerung (STC) vorgesehen ist, die entsprechend dem Selektionsalgorithmus der Codiereinrichtung den Decodern (DEC1 bis DECn) die entsprechenden Codesymbole zuordnet.

Hierzu 3 Seite(n) Zeichnungen



F I G 3



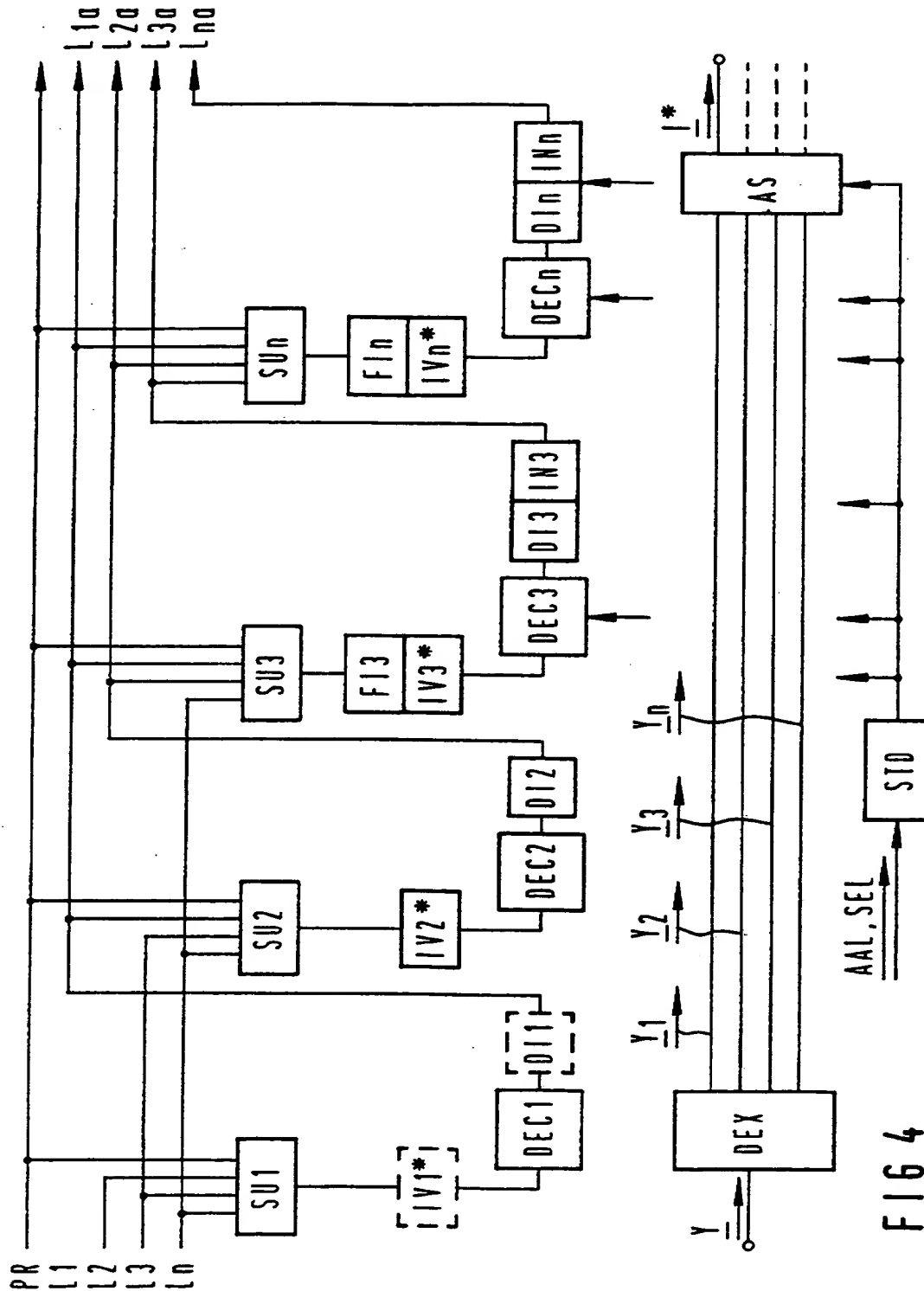


FIG 4